





Socket AM2 Pinout (by dP)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	AG	AH	AJ	AK	AL	
31			MB_DQS_L[3]	MB_DQS_H[3]	MB_DATA[31]	MB_DATA[26]	MB_CHECK[0]	MB_CHECK[1]	MB_DQS_H[8]	MB_CHECK[6]	RSVD_4	MB_CKE[1]	MB_BANK[2]	MB_ADD[9]	MB_ADD[6]	MB_ADD[4]	MB_CLK_H[5]	RSVD_14	RSVD_15	RSVD_11	MB_BANK[1]	MB1_CS_L[0]	MB0_CS_L[0]	MB1_ODT[0]	MB_ADD[13]	RSVD_16	RSVD_13	MB_DATA[37]	MB_DATA[32]			31
30		VSS	MB_DM[3]	VSS	MB_DATA[30]	VSS	MB_CHECK[5]	VSS	MB_DQS_L[8]	VSS	RSVD_3	VDDIO	MB_ADD[12]	VDDIO	MB_ADD[5]	VDDIO	MB_CLK_L[5]	VDDIO	RSVD_38	RSVD_12	MB_ADD[0]	VDDIO	MB_WE_L	VDDIO	MB0_CS_L[1]	VDDIO	MB_DATA[36]	VSS	MB_DATA[33]	VSS		30
29	MB_DATA[25]	MA_DM[3]	MA_DQS_L[3]	MA_DQS_H[3]	MA_DATA[31]	MA_DATA[27]	MA_CHECK[4]	MA_CHECK[1]	MB_DM[8]	MB_CHECK[7]	MB_CHECK[3]	MB_CKE[0]	MB_ADD[14]	MB_ADD[11]	MB_ADD[8]	MB_ADD[3]	MB_ADD[2]	RSVD_37	MB_CLK_H[4]	VDDIO	MB_ADD[10]	MB_RAS_L	MB_CAS_L	MB0_ODT[0]	MB1_CS_L[1]	MA_DATA[37]	MA_DATA[33]	MA_DM[4]	MA_DATA[38]	MB_DM[4]	MB_DQS_L[4]	29
28	MB_DATA[24]	VSS	MA_DATA[25]	VSS	MA_DATA[30]	VSS	MA_CHECK[5]	VSS	MA_DQS_H[8]	VSS	MB_CHECK[2]	VDDIO	MB_ADD[15]	VDDIO	MB_ADD[7]	VDDIO	MB_ADD[1]	VDDIO	MB_CLK_L[4]	VDDIO	MB_BANK[0]	VDDIO	MA0_ODT[0]	VDDIO	RSVD_10	VSS	MA_DQS_L[4]	VSS	MA_DATA[39]	VSS	MB_DQS_H[4]	28
27	MB_DATA[28]	MB_DATA[29]	MA_DATA[28]	MA_DATA[29]	MA_DATA[24]	MA_DATA[26]	MA_CHECK[4]	MA_CHECK[0]	MA_DQS_L[8]	MA_CHECK[2]	MA_CKE[1]	MA_ADD[15]	MA_ADD[9]	MA_ADD[7]	MA_ADD[4]	MA_ADD[1]	MA_CLK_H[5]	MA_CLK_H[4]	MA_CLK_L[4]	MA_BANK[1]	MA_BANK[0]	MA_WE_L	MA1_ODT[0]	MA1_CS_L[1]	RSVD_7	MA_DATA[32]	MA_DQS_H[4]	MA_DATA[34]	MA_DATA[35]	MB_DATA[38]	MB_DATA[39]	27
26	MB_DATA[19]	VSS	MA_DATA[18]	VSS	MA_DATA[19]	VSS	MA_DATA[27]	VSS	MA_CHECK[6]	VSS	RSVD_2	VDDIO	MA_ADD[12]	VDDIO	MA_ADD[5]	VDDIO	MA_CLK_L[5]	VDDIO	RSVD_5	VDDIO	MA_RAS_L	VDDIO	MA_ADD[13]	VDDIO	MA_DATA[36]	VSS	MA_DATA[44]	VSS	MA_DATA[45]	VSS	MB_DATA[34]	26
25	MB_DATA[23]	MB_DATA[18]	MA_DQS_H[2]	MA_DQS_L[2]	MA_DATA[22]	MA_DATA[23]	RSVD_35	RSVD_36	MA_DM[8]	MA_CHECK[7]	RSVD_1	MA_CKE[0]	MA_BANK[2]	MA_ADD[11]	MA_ADD[6]	MA_ADD[3]	MA_ADD[2]	VDDIO	RSVD_6	MA_ADD[10]	MA1_CS_L[0]	MA_CAS_L	MA0_CS_L[1]	RSVD_27	RSVD_29	MA_DATA[40]	MA_DQS_L[5]	MA_DATA[41]	MA_DM[5]	MB_DATA[44]	MB_DATA[35]	25
24	MB_DATA[22]	VSS	MB_DQS_H[2]	VSS	MA_DM[2]	VSS	RSVD_34	VSS	VDD	VSS	MA_CHECK[3]	VDDIO	MA_ADD[14]	VDDIO	MA_ADD[8]	VDDIO	RSVD_8	RSVD_9	MA_ADD[0]	VDDIO	MA0_CS_L[0]	VDDIO	VDDIO	VSS	RSVD_28	VSS	MA_DQS_H[5]	VSS	MB_DATA[40]	VSS	MB_DATA[45]	24
23	MB_DM[2]	MB_DATA[17]	MB_DQS_L[2]	MA_DATA[20]	MA_DATA[21]	MA_DATA[16]	MA_DATA[17]	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	MA_DATA[46]	MA_DATA[47]	MA_DATA[42]	MA_DATA[41]	MB_DM[5]	MB_DQS_H[5]	MB_DQS_L[5]	23
22	MB_DATA[16]	VSS	MB_DATA[21]	VSS	MA_DATA[15]	VSS	MA_DATA[11]	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	MA_DATA[43]	VSS	MA_DATA[52]	VSS	MB_DATA[47]	VSS	MB_DATA[46]	22
21	MB_DATA[10]	MB_DATA[15]	MB_DATA[11]	MB_DATA[20]	MA_DATA[14]	MA_DATA[10]	MA_CLK_L[0]		VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	MA_DATA[53]	MA_DATA[48]	MA_DATA[49]	MA_CLK_H[7]	MB_DATA[42]	MB_DATA[43]	MB_DATA[53]	MB_DATA[52]	21
20	MB_DATA[14]	VSS	RSVD_33	VSS	RSVD_17	VSS	MA_CLK_H[0]		VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	MA_CLK_H[6]	VSS	MA_CLK_L[7]	VSS	RSVD_31	VSS	MB_DATA[48]	20
19	MB_CLK_L[1]	RSVD_18	MB_CLK_H[0]	MB_CLK_L[0]	MA_DQS_H[1]	MA_DQS_L[1]	MA_CLK_H[1]	MA_CLK_L[1]	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS		MA_CLK_L[6]	MA_DM[6]	MA_DQS_L[6]	MB_DATA[49]	MB_CLK_H[7]	MB_CLK_L[7]	MB_CLK_H[6]	19
18	MB_CLK_H[1]	VSS	RSVD_32	VSS	MA_DM[1]	VSS	MA_DATA[9]	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD		MA_DATA[54]	VSS	MA_DQS_H[6]	VSS	RSVD_30	VSS	MB_CLK_L[6]	18
17	MB_DATA[9]	MB_DM[1]	MB_DQS_L[1]	MB_DQS_H[1]	MA_DATA[8]	MA_DATA[13]	MA_DATA[12]	MA_DATA[3]	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	MA_DATA[60]	MA_DATA[51]	MA_DATA[50]	MA_DATA[55]	MB_DM[6]	MB_DQS_L[6]	MB_DQS_H[6]	MB_DATA[54]	17
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	AG	AH	AJ	AK	AL	